

かわい ひろゆき  
河合 浩行

Kawai Hiroyuki



理工学部 電子情報工学科 教授

## 研究者略歴

○生年月	1960年11月
○学歴	大阪大学 基礎工学部 制御工学科卒業(1984.3) 大阪大学大学院 基礎工学研究科 修士課程修了(1986.3)
○学位	工学士(大阪大学/1984.3) 工学修士(大阪大学/1986.3) 博士(工学)(早稲田大学/2005.3)
○主な職歴	三菱電機(株) LSI研究所(1986.4) 三菱電機(株) システムLSI研究所(1991.4) 三菱電機(株) システムLSI事業化推進センター(1999.10) (株) ルネサステクノロジ 製品技術本部(2002.4) (株) ルネサステクノロジ システムコア技術開発統括部(2008.4) ルネサスエレクトロニクス(株) システムコア技術開発統括部(2010.4) ルネサスエレクトロニクス(株) グローバル事業戦略統括部(2013.8) ルネサスエレクトロニクス(株) 第二ソリューション事業本部(2014.3) 徳島文理大学 理工学部 電子情報工学科 教授(2015.4)
○専門分野	並列処理プロセッサ、システムLSI、システム制御工学、低電力回路設計
○所属学会	電子情報通信学会、計測自動制御学会
○担当授業科目	基礎ゼミナールB、数学A、工業数学A、工業数学A演習、システム工学I、システム工学II、計測工学、情報化社会と倫理
○現在の研究	自律適応型システム制御機構、ノーマリーオフ型センサーネットワーク、リコンフィギャラブルシステム、ディペンダブルシステム

## 主な業績

○主な学会 ・社会活動等	① 一般社団法人半導体産業研究所(SIRIJ) ATRM-WG委員(2005.2 - 2005.6)
○主な研究論文 ・著書等	① A Highly Parallel DSP Architecture for Image Recognition, IEICE TRANS., VOL.E78A, NO.8, pp.963-970 (1995.8) ② A 10Mb Frame Buffer Memory with Z-Compare and A-Blend Units, IEEE JOURNAL OF SOLID-STATE CIRCUITS VOL.30, NO.12, pp.1563-1568(1995.12) ③ A Programmable Geometry Processor with Enhanced Four-Parallel SIMD Type Processing Core for PC-Based 3D Graphics, IEICE TRANS. ELECTRON., VOL.E85-C, NO.5, pp.1200-1210 (2002.5) ④ A Chip-ID Generating Circuit for Dependable LSI using Random Address Errors on Embedded SRAM and On-Chip Memory BIST, 2011 Symposium on VLSI Circuits, Digest of Technical papers, pp.76-77 (2011.6) ⑤ A 250-MHz 18-Mb Full Ternary CAM With Low-Voltage Matchline Sensing Scheme in 65-nm CMOS, IEEE JSSC, VOL.48,NO.11,pp.2671-2680(2013.11) ⑥ Normally-Off MCU Architecture for Low-power Sensor Node, Proceeding, 19th Asia and South Pacific Design Automation Conference ASP-DAC 2014, pp.12-16 (2014.1) ⑦ A 40-nm Resilient Cache Memory for Dynamic Variation Tolerance Delivering $\times 91$ Failure Rate Improvement under 35% Supply Voltage Fluctuation, IEICE Trans., Electron., Vol. E97-C, No. 4, pp.332-341 (2014.4)